

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-89849  
(P2000-89849A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 6 F 1/10		G 0 6 F 1/04	3 3 0 A 5 B 0 7 9
H 0 1 L 21/82		H 0 1 L 21/82	C 5 F 0 6 4

審査請求 有 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願平10-255415

(22) 出願日 平成10年9月9日 (1998.9.9)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 神谷 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070219

弁理士 若林 忠 (外4名)

Fターム(参考) 5B079 CC02 CC08 CC14 DD06

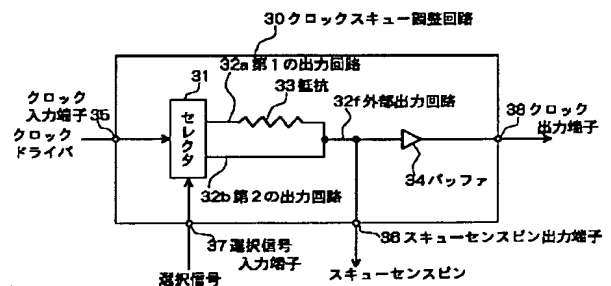
5F064 BB09 CC22 DD25 EE47 FF36

(54) 【発明の名称】 クロックスキュー調整回路および該調整回路を備えた大規模集積回路

(57) 【要約】

【課題】 大きな容積を必要とせずに、複数の機能デバイスにおけるスキューを調整できるクロックスキュー調整回路と該調整回路を有するLSIを提供する。

【解決手段】 LSIは、調整されたクロックを機能デバイスに供給する複数のクロックスキュー調整回路を備え、そのクロックスキュー調整回路30は、所定の抵抗値を有する抵抗33を備えた出力回路32aと、抵抗を有しない1個の出力回路32bと、外部の選択信号により任意の出力回路を選択するセレクタ31と、バッファ34を有する外部出力回路32fと、クロック入力端子35と、外部からの選択信号を供給するための選択信号入力端子37と、外部出力回路32fのクロック波形を観測するための外部のスキューセンスピンにその外部出力回路32fを接続するためのスキューセンスピン出力端子36と、機能デバイスに外部出力回路32fを接続するためのクロック出力端子38とを具備する。



## 【特許請求の範囲】

【請求項 1】 大規模集積回路の各機能デバイス間のクロックスキューを調整するためのクロックスキュー調整回路であって、

所定の抵抗値を有する抵抗を備えた出力回路と、抵抗を有しない 1 個の出力回路と、複数の前記出力回路から外部の選択信号により任意の出力回路を選択するセクタと、該セクタで選択された前記出力回路の出力を外部に出力するためのバッファを有する外部出力回路と、前記出力回路に外部のクロックドライバからのクロック信号を供給するためのクロック入力端子と、前記セクタに外部からの選択信号を供給するための選択信号入力端子と、前記外部出力回路のクロック波形を観測するための外部のスキューセンスピンに該外部出力回路を接続するためのスキューセンスピン出力端子と、外部の機能デバイスに前記外部出力回路を接続するためのクロック出力端子と、を具備することを特徴とするクロックスキュー調整回路。

【請求項 2】 前記所定の抵抗値を有する抵抗を備えた出力回路が 1 個であり、前記セクタは前記所定の抵抗値を有する抵抗を備えた 1 個の出力回路と、前記抵抗を有しない 1 個の出力回路のいずれかを選択する請求項 1 に記載のクロックスキュー調整回路。

【請求項 3】 前記所定の抵抗値を有する抵抗を備えた出力回路が複数個あり、前記セクタは前記所定の抵抗値を有する抵抗を備えた複数個の出力回路と、前記抵抗を有しない 1 個の出力回路とから任意の組み合わせで出力回路の選択が可能な請求項 1 に記載のクロックスキュー調整回路。

【請求項 4】 前記複数個の抵抗を有する出力回路の該抵抗の抵抗値が、すべて同一の抵抗値である請求項 3 に記載のクロックスキュー調整回路。

【請求項 5】 前記複数個の抵抗を有する出力回路の該抵抗の抵抗値が、基準となる抵抗値の公比を 2 とする等比数列倍の抵抗値で構成される請求項 3 に記載のクロックスキュー調整回路。

【請求項 6】 外部からのクロック信号は、前記セクタを経由して前記出力回路に接続される請求項 1 に記載のクロックスキュー調整回路。

【請求項 7】 外部からのクロック信号は、直接前記所定の抵抗値を有する抵抗を備えた出力回路と前記抵抗を有しない 1 個の出力回路とに接続され、前記複数の出力回路の出力が、前記セクタを経由して前記外部出力回路に接続される請求項 1 に記載のクロックスキュー調整回路。

【請求項 8】 調整されたクロックを機能デバイスに供給する複数のクロックスキュー調整回路を備え、該クロックスキュー調整回路は、所定の抵抗値を有する抵抗を備えた出力回路と、抵抗を有しない 1 個の出力回路と、複数の前記出力回路から外部の選択信号により任意の出

力回路を選択するセクタと、該セクタで選択された前記出力回路の出力を外部に出力するためのバッファを有する外部出力回路と、前記出力回路に外部のクロックドライバからのクロック信号を供給するためのクロック入力端子と、前記セクタに外部からの選択信号を供給するための選択信号入力端子と、前記外部出力回路のクロック波形を観測するための外部のスキューセンスピンに該外部出力回路を接続するためのスキューセンスピン出力端子と、前記機能デバイスに前記外部出力回路を接続するためのクロック出力端子とを具備することを特徴とする大規模集積回路。

【請求項 9】 2 個の前記クロックスキュー調整回路を備え、該 2 個のクロックスキュー調整回路から機能デバイスに調整されたクロックが供給される請求項 8 に記載の大規模集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は大規模集積回路内部の機能デバイスのクロックスキューの調整回路に関する。

## 【0002】

【従来の技術】 一般に同期式クロックで動作する大規模集積回路（LSI）の内部の各機能デバイスは、一つのクロックドライバで生成されたクロック信号を各デバイスで共通に使用するのが普通である。従って LSI の規模が大きくなるほどクロック信号の分配が増加し、何段もの分配バッファを経由して供給されるので、分配バッファの特性を共通させ、分配線長を等しくするようにしたとしてもバッファ素子間のばらつきや配線経路の特性差等により各機能デバイスに供給されるクロック信号には位相差を生ずる。

【0003】 これに対応する手段として遅延線を有する回路を並列に設けて選択により遅延させたり、CR 回路を並列に設けて選択により遅延させる方法が取られていた。

## 【0004】

【発明が解決しようとする課題】 しかし、遅延線や CR 回路を設ける方法では何れも大きな容積を占有する回路が必要となるという問題点があり、LSI の規模が大きくなり高速化の要求が増大するとともに、高速クロックを分配する際に、クロックが分配される側の複数の機能デバイスにおけるスキューの値が厳しい値で規定されるようになり、高密度プリント板におけるパターン設計が困難になってきた。

【0005】 本発明の目的は、大きな容積を必要とせずに、クロックが分配される側の複数の機能デバイスにおけるスキューの値が厳しい値で規定できるクロックスキュー調整回路と該調整回路を有する LSI を提供することにある。

## 【0006】

【課題を解決するための手段】本発明のクロックスキュー調整回路は、大規模集積回路の各機能デバイス間のクロックスキューを調整するためのクロックスキュー調整回路であって、所定の抵抗値を有する抵抗を備えた出力回路と、抵抗を有しない1個の出力回路と、複数の出力回路から外部の選択信号により任意の出力回路を選択するセレクトと、そのセレクトで選択された出力回路の出力を外部に出力するためのバッファを有する外部出力回路と、出力回路に外部のクロックドライバからのクロック信号を供給するためのクロック入力端子と、セレクトに外部からの選択信号を供給するための選択信号入力端子と、外部出力回路のクロック波形を観測するための外部のスキューセンスピンにその外部出力回路を接続するためのスキューセンスピン出力端子と、外部の機能デバイスに外部出力回路を接続するためのクロック出力端子とを具備する。

【0007】また、所定の抵抗値を有する抵抗を備えた出力回路が1個であり、セレクトは所定の抵抗値を有する抵抗を備えた1個の出力回路と、抵抗を有しない1個の出力回路のいずれかを選択してもよく、所定の抵抗値を有する抵抗を備えた出力回路が複数個あり、セレクトは所定の抵抗値を有する抵抗を備えた複数個の出力回路と、抵抗を有しない1個の出力回路とから任意の組み合わせで出力回路の選択が可能であってもよい。

【0008】さらに、複数個の抵抗を有する出力回路のその抵抗の抵抗値が、すべて同一の抵抗値であってもよく、基準となる抵抗値の公比を2とする等比数列倍の抵抗値で構成されていてもよい。

【0009】加えて、外部からのクロック信号は、セレクトを経由して出力回路に接続されてもよく、直接所定の抵抗値を有する抵抗を備えた出力回路と抵抗を有しない1個の出力回路とに接続され、複数の出力回路の出力が、セレクトを経由して外部出力回路に接続されてもよい。

【0010】本発明の大規模集積回路は、調整されたクロックを機能デバイスに供給する複数のクロックスキュー調整回路を備え、そのクロックスキュー調整回路は、所定の抵抗値を有する抵抗を備えた出力回路と、抵抗を有しない1個の出力回路と、複数の出力回路から外部の選択信号により任意の出力回路を選択するセレクトと、そのセレクトで選択された出力回路の出力を外部に出力するためのバッファを有する外部出力回路と、出力回路に外部のクロックドライバからのクロック信号を供給するためのクロック入力端子と、セレクトに外部からの選択信号を供給するための選択信号入力端子と、外部出力回路のクロック波形を観測するための外部のスキューセンスピンにその外部出力回路を接続するためのスキューセンスピン出力端子と、機能デバイスに外部出力回路を接続するためのクロック出力端子とを具備する。

【0011】また、2個のクロックスキュー調整回路を

備え、その2個のクロックスキュー調整回路から機能デバイスに調整されたクロックが供給されてもよい。

【0012】LSIの機能デバイスに調整されたクロック信号を供給する複数のクロックスキュー調整回路を備えており、スキューセンスピンを用いて観測されたクロックの波形からクロックスキュー調整回路の外部出力回路のディレイを比較し、セレクトによって出力回路の抵抗を選択してクロック回路の抵抗値を変化させるので、容積を取らない回路構成で容易にクロックスキューを調整することができる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の第1の実施の形態の大規模集積回路LSIの模式的ブロック構成図である。LSI10はアドレスデータバス61やインタフェース制御信号62で連結されるCPU40や周辺ブロック50などの機能デバイスを有し、クロックドライバ20からのクロック信号が第1のクロックスキュー調整回路30aと第2のクロックスキュー調整回路30bの2個のクロックスキュー調整回路を経由して各機能デバイスに供給されている。

【0014】図2は本発明の第1の実施の形態のクロックスキュー調整回路の模式的回路図である。クロックスキュー調整回路30は、1個のセレクト31と1個の抵抗33と1個のバッファ34を備え、クロック入力端子35、スキューセンスピン出力端子36、選択信号入力端子37およびクロック出力端子38を有する。

【0015】セレクト31は2回路選択型であり、選択信号入力端子37から入力した選択信号により、クロック入力端子35を経由してクロックドライバ20から入力したクロック信号を、第1の出力回路32aと第2の出力回路32bの2回路のいずれかの出力回路に選択して出力する。第1の出力回路32aには抵抗33が設けられ、抵抗33からの出力は第2の出力回路32bとともに、外部出力回路32fに接続され、外部出力回路32fはスキューセンスピン出力端子36と、バッファ34を経由してクロック出力端子38に接続される。

【0016】クロック出力端子38から出力されるクロック信号の波形はスキューセンスピン出力端子36からスキューセンスピンによりオシロスコープ等で観測され、観測結果によって選択信号を用いてセレクト31を介して第1の出力回路32aか第2の出力回路32bを選択し、出力するクロック信号のスキューの調整を行う。

【0017】図1と図2を参照して本発明の第1の実施の形態のクロックスキューの調整方法を説明する。図1ではクロックドライバ20の出力クロック信号は、第1のクロックスキュー調整回路30aと第2のクロックスキュー調整回路30bとに分配されて接続されている。第1のクロックスキュー調整回路30aの出力クロック

信号はCPU40と周辺ブロック50aに、第2のクロックスキュー調整回路30bの出力クロック信号は周辺ブロック50b、50c、50dに接続されている。同一のクロックスキュー調整回路に接続される機能デバイスは、配線経路等を勘案して略同一のディレイとなる機能デバイスが接続される。

【0018】当初、第1のクロックスキュー調整回路30aでは、セクタ31が選択信号によって第2の出力回路32bを選択しており、第2のクロックスキュー調整回路30bも、セクタ31が選択信号によって第2の出力回路32bを選択している。

【0019】ここで、第1のクロックスキュー調整回路30aのスキューセンスピンにおける波形を観測し、更に、第2のクロックスキュー調整回路30bのスキューセンスピンにおける波形を観測する。そこで、第1のクロックスキュー調整回路30aのスキューセンスピンにおいて観測された波形のスキューと、第2のクロックスキュー調整回路30bのスキューセンスピンにおいて観測された波形のスキューを比較する。

【0020】ここで、波形のディレイが早い方のクロックスキュー調整回路のセクタ31の選択信号を変更し、第1の出力回路32aを選択する。すると、選択信号によって第1の出力回路32aを選択されたクロックスキュー調整回路ではクロック信号の回路に抵抗233が挿入されるので、スキューセンスピンにおける波形のスキューはディレイが遅れる方に動き、他方のクロックスキュー調整回路のスキューセンスピンにおける波形のスキューに近づけることができる。

【0021】第1の実施の形態では第1のクロックスキュー調整回路30aに2個の機能デバイスが接続し、第2のクロックスキュー調整回路30bに3個の機能デバイスが接続するものとして説明したがこれは一例である。

【0022】次に本発明の第2の実施の形態のクロックスキュー調整回路について説明する。図3は本発明の第2の実施の形態のクロックスキュー調整回路の模式的回路図である。第1の実施の形態ではクロック信号はセクタによって2回路の出力回路の中の選択された出力回路に接続されていたが、第2の実施の形態ではクロック信号は2回路の出力回路に直接分配され、第1の出力回路132aに抵抗133が接続され、セクタ131で選択信号によって第1の出力信号132aと抵抗を有しない第2の出力信号133bとを選択して外部出力回路133fに出力する。外部出力回路133fはスキューセンスピン出力端子136とバッファ134を経由してクロック出力端子138に接続されている。クロックスキューの調整方法は第1の実施の形態と同じなので説明を省略する。

【0023】次に本発明の第3の実施の形態のクロックスキュー調整回路について説明する。

【0024】図4は本発明の第3の実施の形態のクロックスキュー調整回路の模式的回路図である。第1の実施の形態では2回路であったセクタからの出力回路が第3の実施の形態では4回路となっている。第1の出力回路232aと、第2の出力回路232bと、第3の出力回路232cにはそれぞれ抵抗233a、233b、233cが接続され、抵抗を有しない第4の出力回路232dとともに、外部出力回路232fに接続されており、外部出力回路232fはスキューセンスピン出力端子236とバッファ234を経由してクロック出力端子238に接続されている。

【0025】抵抗233a、233b、233cはすべて同じ抵抗値であり、セクタ231は入力側のクロック信号を第1～第4の出力回路232a～232dに独立して任意の組み合わせで接続可能である。

【0026】第1の実施の形態と同様に、当初、第1のクロックスキュー調整回路30aでは、セクタ231が選択信号によって第4の出力回路232dを選択しており、第2のクロックスキュー調整回路30bも、セクタ231が選択信号によって第4の出力回路232dを選択している。

【0027】ここで第1のクロックスキュー調整回路30aのスキューセンスピンにおける波形を観測し、更に、第2のクロックスキュー調整回路30bのスキューセンスピンにおける波形を観測する。そこで、第1のクロックスキュー調整回路30aのスキューセンスピンにおいて観測された波形のスキューと、第2のクロックスキュー調整回路30bのスキューセンスピンにおいて観測された波形のスキューを比較する。

【0028】ここで、波形のディレイが早い方のクロックスキュー調整回路のセクタ231の選択信号を変更し、第4の出力回路232dを開放し、第1の出力回路232a～第3の出力回路232cをクロック信号に接続する。すると、選択信号によって第1の出力回路232a～第3の出力回路232cが接続されたクロックスキュー調整回路ではクロック信号の回路に抵抗233が並列に挿入されるので、スキューセンスピンにおける波形のスキューはディレイが遅れる方に動き、他方のクロックスキュー調整回路のスキューセンスピンにおける波形のスキューに近づく。それでもディレイに差のある時は、第1の出力回路232aをクロック信号から開放する。それでもディレイに差のある時は、第2の出力回路232bをクロック信号から開放し、第3の出力信号232cのみがクロック信号に接続された状態にする。このようにクロック信号と外部出力信号との間の抵抗値を細かく変化させることによってより精密にクロックスキューを調整することができる。

【0029】本実施の形態では、抵抗を3個として説明したが、3個に限定されるものではなく2個でも4個でも複数であれば適用できる。

【0030】次に本発明の第4の実施の形態のクロックスキュー調整回路について説明する。

【0031】図5は本発明の第4の実施の形態のクロックスキュー調整回路の模式的回路図である。第1の実施の形態では2回路であったセクタからの出力回路が第4の実施の形態では5回路となっている。第1の出力回路332aと、第2の出力回路332bと、第3の出力回路332cと第4の出力回路332dにはそれぞれ抵抗333a、333b、333c、333dが接続され、抵抗を有しない第5の出力回路332eとともに、外部出力回路332fに接続されており、外部出力回路332fはスキューセンスピン出力端子336とバッファ334を経由してクロック出力端子338に接続されている。

【0032】第3の実施の形態では複数の抵抗はすべて同じ抵抗値であったが、第4の実施の形態ではそれぞれR、2R、4R、8Rと2を公比とする等比数列の倍数となる値の抵抗値を有する。セクタ331は入力側のクロック信号を第1～第5の出力回路332a～332eに独立して任意の組み合わせで接続可能である。

【0033】第1の実施の形態と同様に、当初、第1のクロックスキュー調整回路30aでは、セクタ331が選択信号によって第5の出力回路332eを選択しており、第2のクロックスキュー調整回路30bも、セクタ331が選択信号によって第5の出力回路332eを選択している。

【0034】ここで第1のクロックスキュー調整回路30aのスキューセンスピンにおける波形を観測し、更に、第2のクロックスキュー調整回路30bのスキューセンスピンにおける波形を観測する。そこで、第1のクロックスキュー調整回路30aのスキューセンスピンにおいて観測された波形のスキューと、第2のクロックスキュー調整回路30bのスキューセンスピンにおいて観測された波形のスキューを比較する。

【0035】ここで、波形のディレイが早い方のクロックスキュー調整回路のセクタ331の選択信号を変更し、第5の出力回路332eを開放し、第1の出力回路332aから第4の出力回路332eのいずれかの組み合わせを選択してクロック信号に接続する。選択信号によって第1の出力回路332a～第4の出力回路332dが接続されたクロックスキュー調整回路ではクロック信号の回路に抵抗33a～33dが単独または並列に挿入されるので、スキューセンスピンにおける波形のスキューはディレイが遅れる方に動き、他方のクロックスキュー調整回路のスキューセンスピンにおける波形のスキューに近づく。R、2R、4R、8Rと2を公比とする等比数列となる値の抵抗値をそれぞれの抵抗が有するので、クロック信号と外部出力信号との間の抵抗を細かく変化させることによってよりさらに精密にクロックスキューを調整することができる。

【0036】第4の実施の形態では抵抗333をR、2R、4R、8Rと2を公比とする等比数列となる値の4個の抵抗値としたが、これに限定されるものではなく3個でも5個でも2を公比とする等比数列となる抵抗値であれば同様に適用できる。

【0037】また第3の実施の形態と第4の実施の形態では、セクタをクロック信号と出力回路との間にあるものとして説明したが、第2の実施の形態のように、出力回路と外部出力回路の間に設けても同様の効果が得られる。

【0038】次に本発明の第5の実施の形態について説明する。図6は第5の本発明の実施の形態の大規模集積回路LSIの模式的ブロック構成図である。第1のクロックスキュー調整回路430aにはCPUが接続し、第2のクロックスキュー調整回路430bには3個の周辺ブロック450a、450b、450cが接続し、第3のクロックスキュー調整回路430bには2個の周辺ブロック450d、450eが接続している。

【0039】第1の実施の形態では2個のクロックスキュー調整回路でLSIのクロックスキュー調整を行っていたが、第5の実施の形態では3個以上のクロックスキュー調整回路でLSIのクロックスキュー調整を行っている。それぞれのクロックスキュー調整回路に接続される機能デバイスの数はこれに限定されるものではなく、配線経路等を勘案して略同一のディレイとなる機能デバイスが接続されればよい。

【0040】ここで、クロックスキュー調整回路430には上述の第1から第4の実施の形態のいずれかのクロックスキュー調整回路が用いられるものとする。

【0041】クロックスキュー調整回路の個数を増やすことによって、個々のクロックスキュー調整回路に接続する各機能デバイス間の伝送経路の差によるディレイの差を少なくすることができ、クロックスキュー調整をより精密に行うことができる。本発明の第5の実施の形態のクロックスキューの調整方法を説明する。当初、第1のクロックスキュー調整回路430a、第2のクロックスキュー調整回路430b、第3のクロックスキュー調整回路430cでは、全てクロック信号はセクタに入力する選択信号によって、抵抗を有しない出力回路に接続する。

【0042】ここで、第1のクロックスキュー調整回路430aのスキューセンスピンにおける波形を観測し、更に、第2のクロックスキュー調整回路30bのスキューセンスピンにおける波形と第3のクロックスキュー調整回路30cのスキューセンスピンにおける波形とを観測する。そこで、各クロックスキュー調整回路のスキューセンスピンにおいて観測された波形のスキューを比較する。

【0043】ここで、波形のディレイが最も遅いクロックスキュー調整回路を基準として、残りの波形のディレイ

イが早い方のクロックスキュー調整回路のセレクタの選択信号を変更しながらスキューセンスピンにおける波形を観測し、最も基準の波形に近くなる出力回路の組み合わせを選択する。

#### 【0044】

【発明の効果】以上説明したように本発明は、セレクタと抵抗を組み合わせた簡単な回路のクロックスキュー調整回路を用いて、複数のデバイスブロックのクロックスキューを容易に調整することができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の大規模集積回路LSIの模式的ブロック構成図である。

【図2】本発明の第1の実施の形態のクロックスキュー調整回路の模式的回路図である。

【図3】本発明の第2の実施の形態のクロックスキュー調整回路の模式的回路図である。

【図4】本発明の第3の実施の形態のクロックスキュー調整回路の模式的回路図である。

【図5】本発明の第4の実施の形態のクロックスキュー調整回路の模式的回路図である。

【図6】本発明の第5の実施の形態の大規模集積回路LSIの模式的ブロック構成図である。

#### 【符号の説明】

10、410 LSI  
20、420 クロックドライバ

30、130、230、330 クロックスキュー調整回路

30a、430a 第1のクロックスキュー調整回路

30b、430b 第2のクロックスキュー調整回路

30c 第3のクロックスキュー調整回路

31、131、231、331 セレクタ

32a、132a、232a、332a 第1の出力回路

32b、132b、232b、332b 第2の出力回路

32f、132f、232f、332f 外部出力回路

33、133、233a、233b、233c、332a、332b、332c、332d 抵抗

34、134、234、334 バッファ

35、135、235、335 クロック入力端子

36、136、236、336 スキューセンスピン出力端子

37、137、237、337 選択信号入力端子

38、138、238、338 クロック出力端子

40、440 CPU

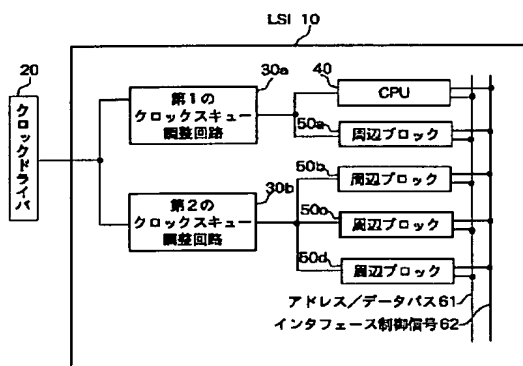
50a、50b、50c、50d、450a、450b、450c、450d、450e 周辺ブロック

232c、332c 第3の出力回路

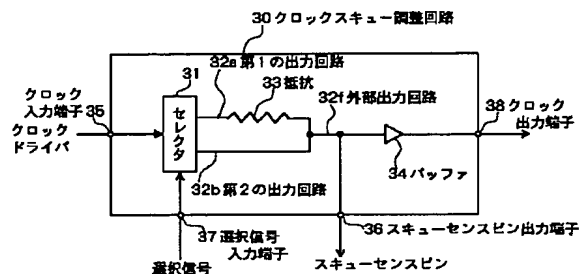
232d、332d 第4の出力回路

332e 第5の出力回路

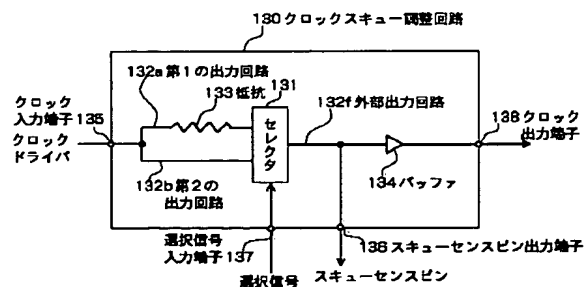
【図1】



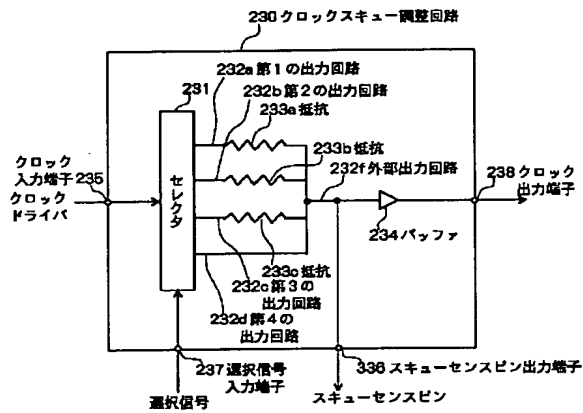
【図2】



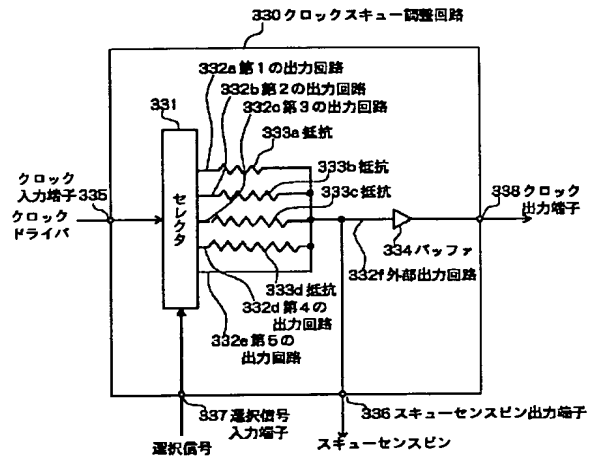
【図3】



【図4】



【図5】



【図6】

